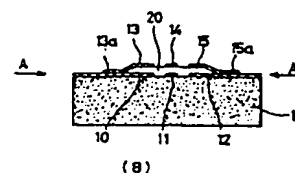
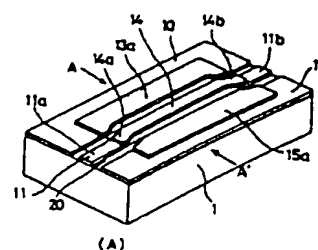


(54) MICROWAVE TRANSMISSION LINE

(11) 4-368003 (A) (43) 21.12.1992 (19) JP
 (21) Appl. No. 3-143490 (22) 14.6.1991
 (71) NIPPON TELEGR & TELEPH CORP <NTT>
 (72) TAKAHIRO HIRAOKA(1)
 (51) Int. Cl.⁷ H01P3/00, H01P11/00

PURPOSE: To reduce the conductor loss and to facilitate the branch of the transmission line by connecting transmission lines with a conductor at two pints or over including a start pint and an end point between the transmission lines.

CONSTITUTION: A dielectric film 20 made of a silicon oxide film, a silicon nitride film or a polyimide film or the like whose height is H is formed on conductor films 10-12 formed on a dielectric (semiconductor) board 1 as a transmission line and conductors 13-15 are formed on the dielectric film 20 just on the conductor films 10-12. Then a start point 11a of a 1st transmission line 11 is connected to an end 14a of a 2nd transmission line by a conductor so as to be overlapped with the 1st transmission line 11. Moreover, an end point 11b of the 1st transmission line 11 is connected to an end 14b of the 2nd transmission line by a conductor so as to be overlapped with the 1st transmission line 11. Furthermore, ground conductors 13, 15 of the 2nd transmission line 14 are connected to the conductor films 10, 21 being ground conductors at ends 13a, 15 respectively. Thus, the current distribution follows in a way that the thickness of the conductor is increased nearly twice equivalently.



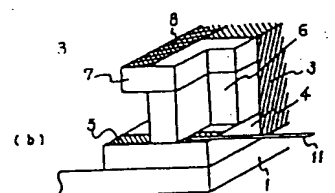
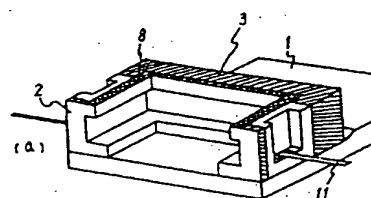
A: oblique view, B: cross sectional view

(54) PACKAGE FOR MICROWAVE BAND SEMICONDUCTOR DEVICE

(11) 4-368004 (A) (43) 21.12.1992 (19) JP
 (21) Appl. No. 3-144328 (22) 17.6.1991
 (71) NEC YAMAGATA LTD (72) TOMOYOSHI FUKAZAWA
 (51) Int. Cl.⁷ H01P3/08, H01L23/04, H01P5/08

PURPOSE: To realize a package electrode structure not adopting tri-plate structure in which a transmission line at an electrode leadout part of the microwave band package is inserted between conductors with a dielectric substance in between.

CONSTITUTION: The electrode leadout part is laminated in the order of a metallic radiating plate 1, a 1st dielectric layer, a conductor pattern 5, a 2nd dielectric layer 6, and a 3rd dielectric layer 7, the wall thickness of the 3rd layer 7 is selected thicker than the wall thickness of the 2nd layer 6 and the layer 7 is projected to the inside of the package, and a metallized part of the upper side of the 3rd dielectric layer is provided by avoiding the laminated part with respect to the 2nd layer. Thus, the current capacity of the terminal electrode is selected up to twice in a conventional package, and in the case of the design in which the width of the transmission line is limited with respect to the current capacity, the frequency characteristic of the impedance is more improved than that of the conventional package.



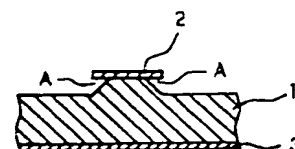
3: side wall metallized part, 8: sealing purpose metallized pattern, 11: lead

(54) MICROWAVE TRANSMISSION LINE

(11) 4-368005 (A) (43) 21.12.1992 (19) JP
 (21) Appl. No. 3-171687 (22) 14.6.1991
 (71) SANYO ELECTRIC CO LTD (72) HIROYUKI NAKAMOTO
 (51) Int. Cl.⁷ H01P3/08, H01P3/02, H01P11/00

PURPOSE: To reduce the transmission loss of a microwave by decreasing a dielectric constant of a semiconductor board beneath each end of a conductor in a broadwise direction more than a dielectric constant of the semiconductor board.

CONSTITUTION: A conductor 2 through which a microwave is sent is formed to the surface of a semiconductor board 1 and a semiconductor board elimination part A formed by eliminating a GaAs semiconductor board 1 with etching is formed beneath each end of a conductor 2 in a broadwise direction. The cross section of the semiconductor board elimination part A is decreased as being placed in the inside of the conductor 2 and the cross section is formed almost a regular triangle shape. Then air is in existence beneath of each end of the conductor 2 by the semiconductor board elimination part A and the dielectric constant of the part is decreased more than the dielectric constant of the GaAs semiconductor board 1. Then a ground conductor 3 is provided on the rear side of the GaAs semiconductor board 1 over the rear side. Thus, the microwave energy density in the broadwise direction of the conductor 2 is reduced.





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-368005

(43) 公開日 平成4年(1992)12月21日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 3/08		7741-5 J		
3/02		7741-5 J		
11/00	G	7741-5 J		

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-171687

(22) 出願日 平成3年(1991)6月14日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 中本 博之

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

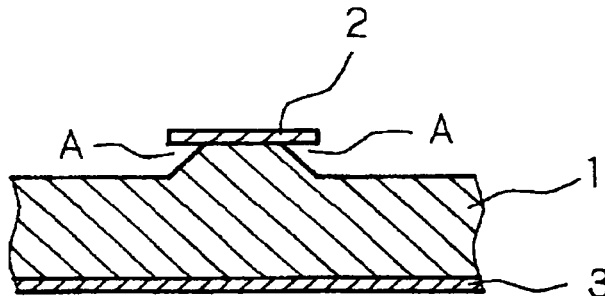
(74) 代理人 弁理士 河野 登夫

(54) 【発明の名称】 マイクロ波伝送線路

(57) 【要約】

【目的】 マイクロ波の伝送損失を低減する。

【構成】 GaAs半導体基板1の表面に、マイクロ波を伝送する導体2を形成し、GaAs基板1の裏面に接地導体3を形成する。導体2の幅方向の各端部直下に半導体基板除去部Aを形成する。



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成してある導体によりマイクロ波を伝送するマイクロ波伝送線路において、前記導体の幅方向の各端部直下の半導体基板部分を該半導体基板の誘電率より低下させた構成にしてあることを特徴とするマイクロ波伝送線路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はモノリシックマイクロ波集積回路(MMIC)のマイクロ波伝送線路に関するものである。

【0002】

【従来の技術】 モノリシックマイクロ波集積回路(Monolithic Microwave Integrated Circuit)は、半導体基板上に、トランジスタ等の能動素子と、キャパシタ、インダクタ、抵抗等の集中定数回路素子と、分布定数線路とで構成されたマイクロ波回路を一体形成したものであって、ハイブリッド型マイクロ波集積回路(Microwave Integrated Circuit)に比べて、小型、高信頼性、量産性等の点において優れている。そしてこのモノリシックマイクロ波集積回路をマイクロ波・ミリ波帯通信機器等への応用を目的とした研究、開発が行われている。

【0003】 ところで、キャパシタ、インダクタ等の集*

$$\delta = \sqrt{\rho / \pi \mu f} \quad \dots(1)$$

(但し ρ は導体2に用いる金属の抵抗率、 μ は透磁率、 f は周波数)

【0006】 で表される。そして、GaAsモノリシックマイクロ波集積回路では導体2に、抵抗率が小さいAuが用いられる。しかるにAuの抵抗率 ρ は $\rho = 2.4 \times 10^{-8}$ ($\Omega \cdot m$)であり、このときの表皮厚さは周波数が1GHzでは $3.5 \mu m$ 、5GHzでは $1.6 \mu m$ 、10GHzでは $1.1 \mu m$ である。

【0007】 ところで数GHz以上の周波数で動作するGaAsモノリシックマイクロ波集積回路では、通常、TiとAuとを積層している蒸着膜上にAuメッキによって2~3 μm の膜厚のAuを形成する方法を採用している。

【0008】 図15はマイクロストリップ線路の電界分布を、図16はマイクロストリップ線路の電流密度を示したものであり、Pは電界分布曲線を、Iは電流密度曲線を示している。このようなマイクロストリップ線路は導体2の厚さが例えば100~200 μm であって、導体幅が約50 μm 程度であり、またGaAs半導体基板1の比誘電率は13であって、ポリイミド樹脂あるいはSiO₂の比誘電率に比べて大きい。

【0009】 そして、導体2の幅方向の各端部には、図15に示すように電界が集中し、また電流密度は図16に示すように、導体2の表面側では曲線I₁₀₁で示すように低く、導体2のGaAs半導体基板1と接している側では曲

* 中定数回路素子は、動作周波数に限界があるため、数GHz以上の高周波領域で動作するモノリシックマイクロ波集積回路では回路を高性能化する観点から、マイクロストリップ線路に代表されるマイクロ波伝送線路により構成した分布定数回路がよく用いられている。

【0000】 図14はモノリシックマイクロ波集積回路に用いられるマイクロストリップ線路の拡大断面図である。半導体基板1の表面にマイクロ波を伝送する導体2を形成しており、半導体基板1の裏面には接地導体3を形成している。ところでモノリシックマイクロ波集積回路のマイクロ波特性を向上させるためには、マイクロ波伝送線路における伝送損失を低減することが重要である。図14に示すマイクロストリップ線路では、マイクロ波の伝送損失が誘電体損失と導体損失とからなり、導体損失が比較的大きな割合を占める。そのため導体損失を低減させる研究、開発が進められている。

【0004】 そこで、図14に示す構造のマイクロストリップ線路の低損失化のためには、導体2の厚さを表皮厚さ δ の2倍以上に選定する方法が一般に採用されている。ここで表皮厚さ δ は、

【0005】

【数1】

線I₁₀₁で示すように表面側に比べて高くなり、それらいずれの側でも導体2の幅方向の各端部に電流が集中する。

【0010】 一方、接地導体3に流れる電流は、曲線I₁₀₂に示すように導体2の幅方向の中央に集中する。このような現象は「Loss in Microstrip」IEEE TRANSACTION S ON MICROWAVE THEORY AND TECHNIQUES, VOL. PP342~350, MTT-16, NO6, JUNE 1968により知られている。

【0011】

【発明が解決しようとする課題】 このようなマイクロストリップ線路では導体損失を低減しようとして、導体の膜厚を厚くしても導体損失が大幅に低下しないという問題がある。本発明は斯かる問題に鑑み、マイクロ波の伝送損失が少ないマイクロ波伝送線路を提供することを目的とする。

【0012】

【課題を解決するための手段】 本発明に係るマイクロ波伝送線路は、半導体基板の表面に形成してある導体によりマイクロ波を伝送するマイクロ波伝送線路において、前記導体の幅方向の各端部直下の半導体基板部分を該半導体基板の誘電率より低下させた構成にしてあることを特徴とする。

【0013】

【作用】導体の幅方向の各端部直下の誘電率が低下すると導体の幅方向の各端部における電界の集中が緩和される。電界の集中を緩和するとマイクロ波エネルギー密度が低下して導体損失が低下する。これにより、マイクロ波の伝送損失が低下する。

【0014】

【実施例】以下本発明をその実施例を示す図面により詳述する。図1は本発明に係るマイクロ波伝送線路の拡大断面図である。半導体基板1の表面にマイクロ波を伝送する導体2を形成しており、導体2の幅方向の各端部直下にはGaAs半導体基板1をエッチングにより除去した半導体基板除去部Aが形成されている。この半導体基板除去部Aは、導体2の内側に位置するにともない半導体基板除去部Aの断面積が減少しており、断面が略正三角形に形成されている。この半導体基板除去部Aによって、導体2の各端部直下には空気が存在し、その部分の誘電率をGaAs半導体基板1の誘電率より低下させている。

【0015】GaAs半導体基板1の裏面にはその裏面全体にわたって接地導体3を設けている。このようにして導体の幅方向の各端部直下の誘電率をGaAs半導体基板1の誘電率より低下させると、導体2の幅方向の各端部の電界集中が緩和されて導体2の幅方向の各端部におけるマイクロ波エネルギー密度が低下してその位置の導体損失が低下する。

【0016】そしてマイクロ波の伝送損失を低減することができ、マイクロストリップ線路のマイクロ波特性を向上させ得る。次にこのような構造のマイクロストリップ線路を形成する方法を図2により説明する。先ず図2(a)に示すように、例えば厚さが150 μm のGaAs半導体基板上の{100}面上に、(011)方向へ通常のパターン形成工程によって、TiとAuとを積層した導体2を形成する。

【0017】次に図2(b)に示すように通常のフォトリソグラフィ工程によってレジスト6のパターンを形成する。次に図2(c)に示すように、硫酸及び過酸化水素の混合液によりGaAs半導体基板1のエッチングを行いレジスト6を除去する。そして導体2の幅方向の各端部直下に半導体基板除去部Aを形成する。その後、図2(d)に示すようにGaAs半導体基板1の裏面に、蒸着によってTiとAuとを積層した接地導体3を形成する。このようにして図1に示したマイクロストリップ線路を構成することができる。

【0018】図3は本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。GaAs半導体基板1の表面に導体2を形成し、裏面に接地導体3を形成している。導体2の幅方向の各端部直下には、GaAs半導体基板を断面V字状に除去した半導体基板除去部A、Aを形成している。この半導体基板除去部A、Aの半部は

導体2の各端部直下に位置している。このマイクロストリップ線路は、図2に示した形成工程によって同様に形成することができる。

【0019】図4及び図5は本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。図4ではGaAs半導体基板1の{100}面上に、(011バー)方向へ導体2を形成しており、GaAs半導体基板1の裏面には接地導体3を形成している。導体2の各端部直下では導体2の各端部から、導体2の中間側に向かって下降する傾斜面が存在し、断面が正三角形の半導体基板除去部Aを形成している。即ち、導体2はGaAs半導体基板1がエッチングされた面より高い位置に形成されている。

【0020】図5ではGaAs半導体基板1の表面の{100}面上に(011バー)方向へ導体2を形成しており、GaAs半導体基板1の裏面に接地導体3を形成している。導体2の各端部直下には断面が正三角形をしており、上側角部が開口している半導体基板除去部Aを形成している。この半導体基板除去部Aにおいても導体2の各端部から、導体2の中間側に向かって下降する図4に示したと同様の傾斜面が存在する。これら図4、図5に示す構造のマイクロストリップ線路は、図2に示した形成工程によって同様に形成できる。

【0021】図6、図7、図8及び図9は図1、図3、図4及び図5に示した構造のマイクロストリップ線路に形成した半導体基板除去部Aに、GaAs半導体基板1の比誘電率より低い比誘電率の絶縁膜を堆積させた本発明のマイクロストリップ線路の他の実施例を示す拡大断面図である。

【0022】図6に示すマイクロストリップ線路は導体2の下面と同レベルまで、つまり半導体基板除去部Aに絶縁膜4が堆積されるように、GaAs半導体基板1の表面に絶縁膜4を堆積させている。図7に示すマイクロストリップ線路は導体2の下面と同レベルまで、半導体基板除去部Aに絶縁膜4を堆積させている。

【0023】図8に示すマイクロストリップ線路は導体2の下面と同レベルまで、半導体基板除去部Aに絶縁膜4が堆積されるようにGaAs半導体基板1の表面に絶縁膜4を堆積させている。図9に示すマイクロストリップ線路は導体2の下面と同レベルまで半導体基板除去部Aに絶縁膜4を堆積させている。このようにして半導体基板除去部Aに堆積させる絶縁膜4は、例えば比誘電率 ϵ が3.3であるポリイミド樹脂あるいは、比誘電率 ϵ が4.0である SiO_2 を用いる。 SiO_2 を用いる場合はプラズマCVD装置により堆積させる。

【0024】図10、図11はGaAs半導体基板1の表面に導体2及び接地導体3を形成しているコプレーナ線路であり、図12、図13はGaAs半導体基板1の表面に導体2及び接地導体3を形成し、GaAs半導体基板1の裏面にも接地導体3を形成しているコプレーナ線路の拡大断面図である。

【0025】図10に示したコブレナ線路はGaAs半導体基板1の表面に、導体2とこの導体2の幅方向の各端部寄りに適長離隔して接地導体3、3を形成している。導体2と接地導体3、3との間のGaAs半導体基板1の表面には、断面が逆台形状の半導体基板除去部Aが形成されている。それにより、導体2の幅方向の各端部直下及び接地導体3、3の端部直下には半導体基板除去部Aを形成している。

【0026】図11に示したコブレナ線路は図10に示したコブレナ線路と同様にGaAs半導体基板1の表面に導体2、接地導体3及び半導体基板除去部Aを形成しており、夫々の半導体基板除去部Aには、導体2の下面位置まで前述した絶縁膜4を堆積させている。

【0027】図12に示したコブレナ線路は図10に示したコブレナ線路と同様に、GaAs半導体基板1の表面に導体2、接地導体3、3及び半導体基板除去部Aを形成している。またGaAs半導体基板1の裏面には接地導体3を形成している。

【0028】図13に示したコブレナ線路は図12に示したコブレナ線路と同様に、GaAs半導体基板1の表面に導体2、接地導体3、3及び半導体基板除去部Aを形成しており、またGaAs半導体基板1の裏面にも接地導体3を形成している。夫々の半導体基板除去部Aには導体2の下面位置まで前述した絶縁膜4を堆積させている。

【0029】このようにして構成されたコブレナ線路は、マイクロストリップ線路の場合と同様に、導体2の幅方向の各端部直下の誘電率が低下する。それによって導体の幅方向の各端部における電界集中が緩和されて電流密度が低下し、導体損失を低減できる。

【0030】なお、本実施例では導体2をGaAs半導体基板1上に形成したが、GaAs半導体基板に限定するものではなく、他の半導体基板でも同様の効果が得られる。

【0031】

【発明の効果】以上詳述したように本発明によれば、半導体基板の表面に形成した導体の幅方向の各端部直下の誘電率を低下させることにより、導体の幅方向の各端部に生じるマイクロ波エネルギー密度を低下させ得、導体損失を低下させることができる。そのためマイクロ波の伝送損失が低減し、マイクロ波伝送線路のマイクロ波特性をより向上させ得る優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明に係るマイクロストリップ線路の構造を示す拡大断面図である。

【図2】本発明に係るマイクロストリップ線路を形成する工程を示す説明図である。

【図3】本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。

【図4】本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。

【図5】本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。

【図6】本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。

【図7】本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。

【図8】本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。

【図9】本発明に係るマイクロストリップ線路の他の実施例を示す拡大断面図である。

【図10】本発明に係るコブレナ線路の構造を示す拡大断面図である。

【図11】本発明に係るコブレナ線路の他の実施例を示す拡大断面図である。

【図12】本発明に係るコブレナ線路の他の実施例を示す拡大断面図である。

【図13】本発明に係るコブレナ線路の他の実施例を示す拡大断面図である。

【図14】従来のマイクロストリップ線路の構造を示す拡大断面図である。

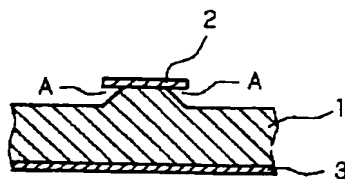
【図15】従来のマイクロストリップ線路における電界分布を示す説明図である。

【図16】従来のマイクロストリップ線路における電流密度を示す説明図である。

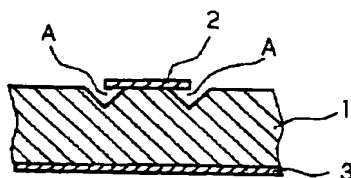
【符号の説明】

- 1 GaAs半導体基板
- 2 導体
- 3 接地導体
- 4 絶縁膜
- A 半導体基板除去部

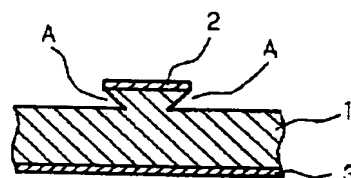
【図1】



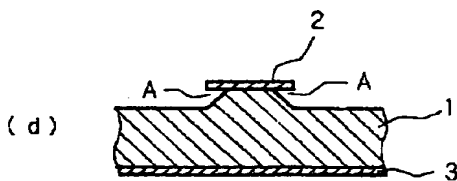
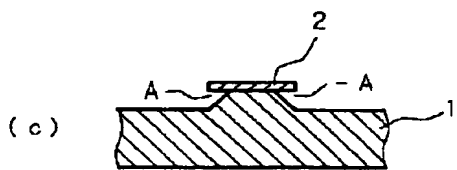
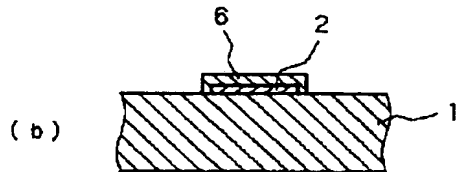
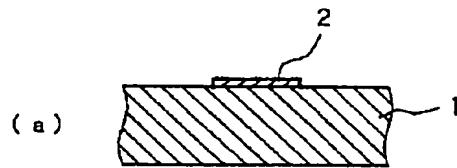
【図3】



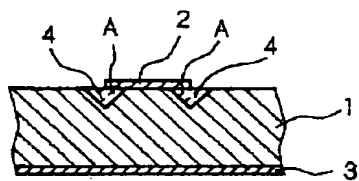
【図4】



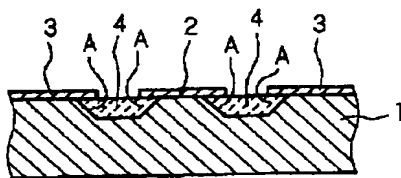
【図2】



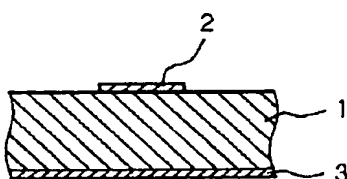
【図7】



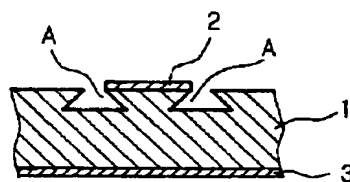
【図11】



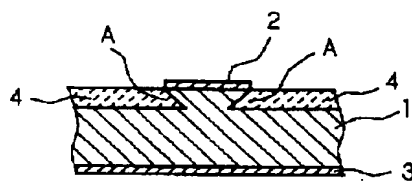
【図14】



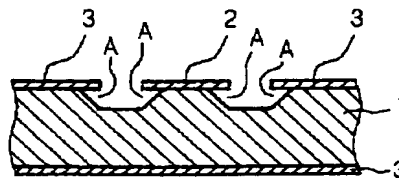
【図5】



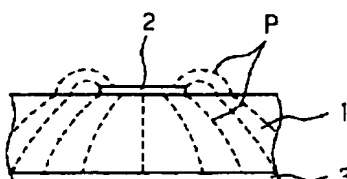
【図8】



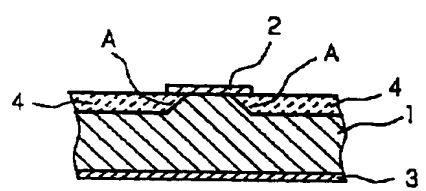
【図12】



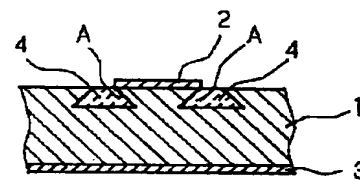
【図15】



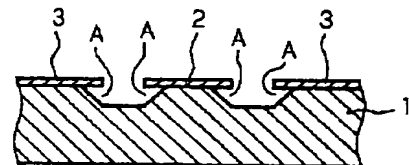
【図6】



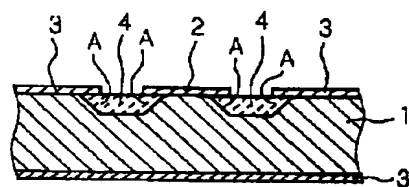
【図9】



【図10】



【図13】



【図16】

